

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

Generate Collection

Print

L4: Entry 14 of 15

File: JPAB

Mar 19, 1991

PUB-NO: JP403063726A
DOCUMENT-IDENTIFIER: JP 03063726 A
TITLE: HIERLARCHY TYPE BRANCH HISTORY TABLE

PUBN-DATE: March 19, 1991

INVENTOR-INFORMATION:

NAME

COUNTRY

MORISADA, TAKESHI

ISHII, HIDESHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

KOUFU NIPPON DENKI KK

APPL-NO: JP01197988

APPL-DATE: August 1, 1989

INT-CL (IPC): G06F 9/38

ABSTRACT:

PURPOSE: To suppress the deterioration of a branch performance caused by a delay of an instruction prefetch by providing a branch history table of a small capacity which can be operated at a high speed and a branch history table which is operated at a low speed but has a large capacity on the hierarchical structure.

CONSTITUTION: The subject table is provided with first branch history table means 2, 3 which hold address information of a branch instruction and branch information containing a branch destination address corresponding to its branch instruction in accordance with execution history of the past branch instruction, and can execute an access at a high speed, and second branch history table means 6, 7 having a larger capacity than that of first branch history table means 2, 3. In the case it is detected by a first detecting means that address information of a prefetch instruction word is registered in first branch history table means 2, 3, the corresponding branch destination address is read out of first branch history table means 2, 3, and in the case it is detected by a second detecting means, the address is read out of second branch history table means 6, 7 corresponding thereto. In such a way, in the case of executing repeatedly the same branch instruction, the table can be operated at a high speed especially by utilizing the former.

COPYRIGHT: (C)1991,JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-63726

⑬ Int.Cl.⁵
G 06 F 9/38

識別記号 庁内整理番号
3 3 0 B 7361-5B

⑭ 公開 平成3年(1991)3月19日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 階層型分岐ヒストリテーブル

⑯ 特 願 平1-197988

⑰ 出 願 平1(1989)8月1日

⑱ 発 明 者 森 定 剛 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 発 明 者 石 井 英 志 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会
社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑲ 出 願 人 甲府日本電気株式会社 山梨県甲府市大津町1088-3
⑳ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

階層型分岐ヒストリテーブル

2. 特許請求の範囲

1. 命令語の先取りを行うデータ処理装置において、

過去の分岐命令の実行履歴に従って分岐命令のアドレス情報と該分岐命令に対応する分岐先アドレスを含む分岐情報を保持する、高速にアクセスが可能な第1分岐ヒストリテーブル手段と、

過去の分岐命令の実行履歴に従って分岐命令のアドレス情報と該分岐命令に対応する分岐先アドレスを含む分岐情報を記憶する、第1分岐ヒストリテーブル手段に比べて大容量な第2分岐ヒストリテーブル手段と、

命令語の先取りにおいて先取る命令語のアドレス情報が前記第1分岐ヒストリテーブル手段に登録されているかどうかを検出する第1検出手段と、

命令語の先取りにおいて先取る命令語のアドレス情報が前記第2分岐ヒストリテーブル手段に登録されているかどうかを検出する第2検出手段と、

第1検出手段により、第1分岐ヒストリテーブル手段に先取る命令語のアドレス情報が登録されていることが検出された場合はそれに対応する分岐先アドレスを第1分岐ヒストリテーブル手段より読出し、第2検出手段により登録されていることが検出されていた場合はそれに対応する分岐先アドレスを第2分岐ヒストリテーブル手段より読出すことを特徴とする階層型分岐ヒストリテーブル。

3. 発明の詳細な説明

〔産業上の利用分野〕

本特許は、分岐命令の高速処理に関し、特に分岐ヒストリテーブルを用いた分岐命令の高速処理に関する。

〔従来の技術〕

分岐命令の高速化は、ノイマン型コンピュータ

における重要な問題であり、その解決として、過去の分岐命令のアドレスと分岐先アドレスを対にして記憶する分岐ヒストリテーブル（特公昭50-22384号）や、過去の分岐命令のアドレスとその分岐したかどうかの結果を記憶する分岐デコードテーブル（米国特許4,477,872号）がある。

〔発明が解決しようとする課題〕

上述した従来の分岐高速化技術のうち、分岐ヒストリテーブルは、分岐命令頻度が25%程度というふうに異常に多いため、どうしても多数の分岐命令について記憶しなければならず、そのためどうしても容量が大きいメモリで構成することが多い。

しかしながら、今日の論理回路の著しい高速化に対して、メモリはそれほど高速されていない。そのため高速コンピュータの設計では、マシンサイクルを小さく設定する必要があるため、メモリアクセスタイムの遅さがネックとなってしまう。このため分岐ヒストリテーブルの索引が遅れて分

岐命令の性能がでないという問題が発生する。特にループ用の分岐命令のように、必ず複数回その分岐命令を実行する場合には、そのループの性能を上げるために極力早目に分岐ヒストリテーブルを索引する必要がある。

したがって、本発明は同じ分岐命令を繰返し実行する場合に特に高速化の可能な分岐ヒストリテーブルを提供しようとするものである。

〔課題を解決するための手段〕

本発明の階層型分岐ヒストリテーブルは、命令語の先取りを行うデータ処理装置において、過去の分岐命令の実行履歴に従って分岐命令のアドレス情報とその分岐命令に対応する分岐先アドレスを含む分岐情報を保持する、高速にアクセス可能な第1の分岐ヒストリテーブル手段と、過去の分岐命令の実行履歴に従って分岐命令のアドレス情報とその分岐命令に対応する分岐先アドレスを含む分岐情報を記憶する、第1分岐ヒストリテーブル手段に比較して大容量な第2分岐ヒストリテーブル手段と、命令語の先取りにおいて先取る命令

語のアドレス情報が前記第1分岐ヒストリテーブル手段に登録されているかどうかを検出する第1検出手段と、命令語の先取りにおいて先取る命令語のアドレス情報が前記第2の分岐ヒストリテーブルに登録されているかどうかを検出する第2検出手段と、第1の検出手段により、第1分岐ヒストリテーブル手段に先取る命令語のアドレス情報が登録されていることが検出された場合はそれに対応する分岐先アドレスを第1分岐ヒストリテーブル手段より読出し、第2検出手段により登録されていることが検出された場合はそれに対応する分岐先アドレスを第2分岐ヒストリテーブル手段より読出す手段とから構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例である。第1図において、命令アドレスレジスタa1は、命令語の先取りアドレスを受けるレジスタであり、アナログレジスタ変換器（図示せず）より線101を介して出力される命令語アドレスを受け、信号線10

2を介してアドレス比較回路a4及び命令アドレスレジスタb5に送出する。

分岐命令アドレスレジスタ2は、最近の分岐命令に対するその命令アドレスを保持するレジスタであり、そのアドレスを線103を介しアドレス比較回路a4に送出する。このレジスタは本発明において特に設けたもので、1～16ビット程度の容量である。

分岐先アドレスレジスタ3は、分岐命令アドレスレジスタ2に対応してその分岐先アドレスを保持するレジスタであり、そのアドレスを線104を介し分岐先アドレス選択回路11に送出する。これも上記と同じように本発明において特に設けたものであり、容量も上と同じである。

アドレス比較回路a4は、命令先取りアドレスと分岐ヒストリテーブル中の分岐命令のアドレスを比較する比較回路であり、命令アドレスレジスタa1より信号線102を介して入力される命令取出しアドレスと、分岐命令アドレスレジスタ2より信号線103を介して入力される分岐命令の

アドレスを比較し、一致したかどうかを信号線105を介し優先度制御回路10に送出する。これも本発明において特に設けたものである。

命令アドレスレジスタb5は、メモリで構成された分岐ヒストリテーブルを索引するための命令取出しアドレスを保持するレジスタであり、信号線102を介して命令アドレスレジスタa1より送出される命令先取りアドレスを受け、その一部を信号線106を介しアドレスとして、分岐命令アドレスアレイ6及び分岐先アドレスアレイ7に、その残りを信号線107を介してアドレス比較回路b8に送出する。分岐命令アドレスアレイ6は、分岐命令のアドレスを記憶するメモリであり、命令アドレスレジスタb5より信号線106を介して出力される命令取出しアドレスの一部をアドレスとしてその分岐命令アドレスを信号線108を介してアドレス比較回路b8に送出する。容量は1K~2Kビット程度である。

命令先アドレスアレイ7は、分岐命令アドレスアレイ6に対応してその分岐先アドレスを記憶す

るメモリであり、命令アドレスレジスタb5より信号線106を介して出力される命令取出しアドレスの一部をアドレスとし、その分岐先アドレスを信号線109を介して分岐先アドレスアレイレジスタ9に送出する。これも前記と同じく1K~2Kビットのものである。

アドレス比較回路b8は、アドレス比較回路a4と同様に、命令先取りアドレスと分岐ヒストリテーブル中の分岐命令のアドレスを比較する比較回路であり、命令アドレスレジスタb5より信号線107を介し送出される命令取出しアドレスと信号線108を介し分岐命令アドレスアレイ6より送出される分岐命令のアドレスを比較し、その結果を信号線110を介して優先度制御回路10に送出する。

分岐先アドレスアレイレジスタ9は、予測される分岐先アドレスを受けるレジスタであり、信号線109を介し分岐先アドレスアレイ7より送出される分岐先アドレスを受け、信号線111を介して分岐先アドレス選択回路11に送出する。

優先度制御回路10は、分岐先アドレスレジスタ3に保持されている分岐先アドレスと分岐先アドレスアレイ7に保持されている分岐先アドレスのどちらを選択するかを制御する回路であり、信号線105を介しアドレス比較回路a4より送出された一致情報と信号線110を介してアドレス比較回路b8より送出される一致情報とにより、予測分岐先アドレス選択信号を信号線113を介して分岐先アドレス選択回路11に送出し、又、予測アドレスを検出したことを示す信号を信号線112を介して命令先取り制御装置(図示せず)に送出する。本発明において特に設けたものである。

命令先アドレス選択回路11は、予測分岐先アドレスを選択する選択回路であり、信号線104を介し分岐先アドレスレジスタ3より送出される予測アドレスと信号線111を介して分岐先アドレスアレイレジスタ9より送出される予測アドレスを選択し、信号線114を介しアナログディジタル変換器に送出する。これも前記と同じく本発

明において特に設けたものである。

次に本例の動作について簡単に説明する。

分岐命令アドレスアレイ6及び分岐先アドレスアレイ7のみにアドレスが登録されていた場合のタイムチャートを第2図に示す。図の左側の括弧を付した数字は第1図の装置の参照数字を示している。この場合の動作は従来の方式と同じであり、命令アドレスレジスタa1にT₁で命令取出しアドレスが保持されると、次のT₂で命令アドレスレジスタb5にそれが保持される。ここで命令アドレスレジスタb5のアドレスと分岐命令アドレスアレイ6のアドレスがアドレス比較回路b8で比較されるが、それが一致すると、T₃ではその予測分岐先アドレスが分岐先アドレスアレイレジスタ9に分岐先アドレスアレイ7より送出されているので、優先度制御回路10は信号線113により分岐先アドレス選択回路11にこれを選択させる。

さて、本特許で追加した部分の動作を第3図に示す。この場合、命令アドレスレジスタa1と分

岐命令アドレスレジスタ 2 の内容が直接アドレス比較回路 a 4 で比較され、その結果により、優先度制御回路 10 は信号線 113 により分岐先アドレス選択回路 11 に分岐先アドレスレジスタ 3 を選択させる。

〔発明の効果〕

以上説明したように本発明は、高速で動作可能な小容量の分岐ヒストリテーブルと、低速ではあるが、大容量な分岐ヒストリテーブルとを階層構造に持つことにより、一部なりとも3Tかかっている処理を1Tに短縮することができる。これにより、短いループなどのように何度も同じアドレスで分岐するような場合に、そのアドレスを高速で動作可能な小容量の分岐ヒストリテーブルに入れておくことにより、命令先取りの遅れによる分岐性能の低下を抑えることができる。

4. 図面の簡単な説明

第 1 図は本発明の一実施例の構成を示す図、第 2 図および第 3 図は実施例のタイムチャートを示

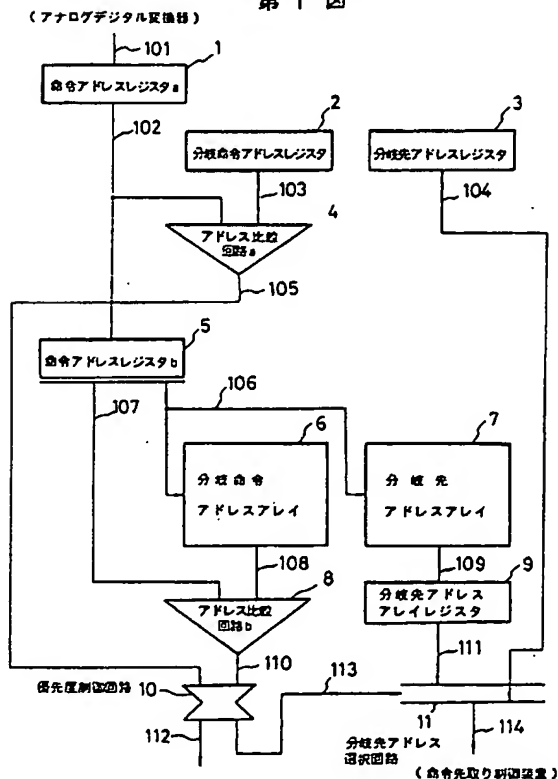
す図である。

記号の説明： 1 … 命令アドレスレジスタ a， 2 … 分岐命令アドレスレジスタ， 3 … 分岐先アドレスレジスタ， 4 … アドレス比較回路 a， 5 … 命令アドレスレジスタ b， 6 … 分岐命令アドレスアレイ， 7 … 分岐先アドレスアレイ， 8 … アドレス比較回路 b， 9 … 分岐先アドレスアレイレジスタ， 10 … 優先度制御回路， 11 … 分岐先アドレス選択回路。

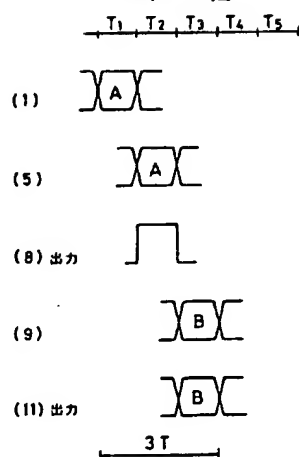
代理人 (7783) 弁理士 池田 憲保



第 1 図



第 2 图



第 3 圖

